

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-109395

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G09F 9/30
H01L 29/786
H05B 33/14
H05B 33/26

(21)Application number : 11-281791

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 01.10.1999

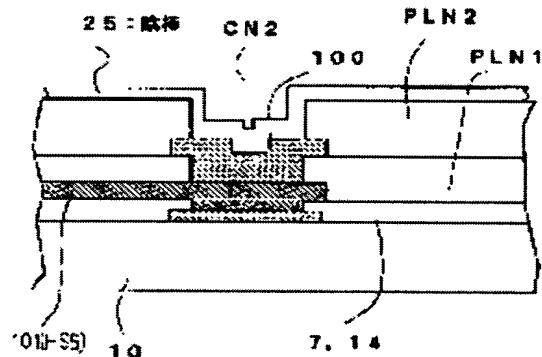
(72)Inventor : YAMADA TSUTOMU
OKUYAMA MASAHIRO

(54) EL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent decrease in the voltage to be applied on a cathode and to prevent deterioration in the display quality.

SOLUTION: A wide part WD4 is formed in the cathode 25, and a wide part WD3 is also formed in a line HS2 extended from a cathode terminal TN2. A large-size contact CN1 is formed there. Further, a fifth line HS5 and a second contact part CN2 are formed in the periphery of the display pixel region HG. In the contact areas CN1, CN2, the lines are connected through a conductive material 100 consisting of an oxide to the cathode 25.



LEGAL STATUS

[Date of request for examination] 27.02.2002

[Date of sending the examiner's decision of rejection] 08.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-08156

[Date of requesting appeal against examiner's decision] 08.05.2003

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-109395

(P2001-109395A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.⁷

G 0 9 F 9/30

識別記号

3 3 8

F I

テーマコード(参考)

3 6 5

G 0 9 F 9/30

3 3 8 3 K 0 0 7

3 6 5 C 5 C 0 9 4

H 0 1 L 29/786

H 0 5 B 33/14

A 5 F 1 1 0

H 0 5 B 33/14

33/26

Z

33/26

H 0 1 L 29/78

6 1 2 C

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21)出願番号

特願平11-281791

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 山田 努

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 奥山 正博

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

(22)出願日

平成11年10月1日(1999.10.1)

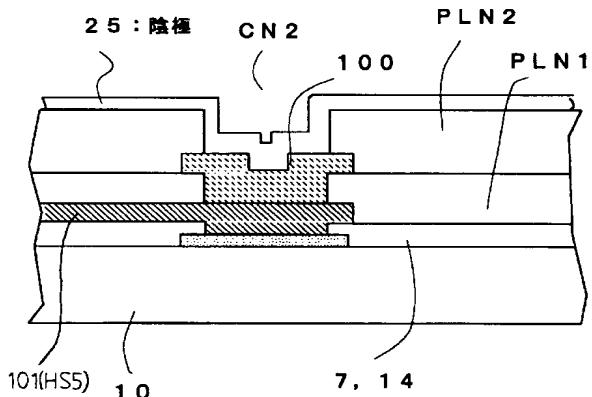
最終頁に続く

(54)【発明の名称】 E L表示装置

(57)【要約】

【課題】 陰極に印加される電圧の低減を防止し、表示品位の悪化を防止する。

【解決手段】 陰極25には、幅広部WD4を設け、カソード端子TN2から延在される配線HS2にも幅広部WD3を設ける。そしてここにサイズの大きなコンタクトCN1を形成する。また表示画素領域HGの周辺には、第5の配線HS5と第2のコンタクトCN2を設ける。このコンタクトCN1、CN2に於いて、酸化物から成る導電材料100を介して陰極25と接続する。



【特許請求の範囲】

【請求項1】 絶縁性を有する基板上に形成された複数のEL素子から成る表示画素領域と、前記複数のEL素子の一方の電極となる上層電極とを有し、前記上層電極は、前記表示画素領域の周辺で、前記基板の側邊に形成された端子と電気的に接続されていることを特徴とするEL表示装置。

【請求項2】 絶縁性を有する基板上に形成された複数のEL素子から成る表示画素領域と、前記複数のEL素子の一方の電極となる上層電極とを有し、前記上層電極は、前記表示画素領域の周辺で、前記基板の側邊に形成された端子と電気的に接続され、前記上層電極の下層には、酸化物から成る電極が設けられていることを特徴とするEL表示装置。

【請求項3】 前記酸化物から成る電極は、EL素子の陽極と同一材料でなることを特徴とする請求項2に記載のEL表示装置。

【請求項4】 絶縁性を有する透明基板の一側邊に形成された端子と、前記透明基板上に形成された複数のEL素子から成る表示画素領域と、前記表示画素領域よりも大きなサイズで前記表示画素領域を覆う前記EL素子の陰極と、前記端子から前記表示画素領域の周辺に延在された配線と、前記陰極と重疊する前記配線の上層に酸化物から成る導電材料が露出される第1のコンタクトが形成され、前記第1のコンタクトから露出された酸化物から成る導電材料を介して陰極と前記配線が接続されることを特徴とするEL表示装置。

【請求項5】 前記第1のコンタクトは、前記陰極の四隅に少なくとも形成されることを特徴とする請求項4に記載のEL表示装置。

【請求項6】 前記配線に沿って前記配線の上層にも前記酸化物から成る導電材料が形成され、この導電材料が露出される開口部を介して前記配線と前記陰極が接続されることを特徴とする請求項4に記載のEL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、エレクトロルミネッセンス素子及び薄膜トランジスタを備えたエレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】 近年、エレクトロルミネッセンス(Electro Luminescence: 以下、「EL」と称する。)素子を用いたEL表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ(Thin Film Transistor: 以下、「TFT」と称する。)を備えたEL表示装置の研究開発も進められている。

【0003】 図8に有機EL表示装置の表示画素を示し、図9に図8のA-A線に沿った断面図を示し、図10に図8のB-B線に沿った断面図を示す。

【0004】 図に示すように、ゲートラインGLとドレインラインDLとに囲まれた領域に表示画素が形成されている。両信号線の交点付近にはスイッチング素子である第1のTFT1が備えられており、そのTFT1のソースは、保持容量電極2と容量を構成する容量電極3を兼ねるとともに、有機EL素子を駆動する第2のTFT4のゲート15に接続されている。第2のTFT4のソースは有機EL素子の陽極6に接続され、他方のドレンは有機EL素子を駆動する駆動ラインVLに接続されている。

【0005】 また、前記保持容量電極2はクロム等から成っており、上層のゲート絶縁膜7を介して第1のTFT1のソースと一体の容量電極3と重疊し、前記ゲート絶縁膜7を誘電体層として電荷を蓄積している。この保持容量8は、第2のTFT4のゲート5に印加される電圧を保持している。

【0006】 続いて、スイッチング用の第1のTFT1について図9と図10を参照しながら説明する。

【0007】 まず石英ガラス、無アルカリガラス等からなる透明な絶縁性基板10上に、クロム(Cr)、モリブデン(Mo)などの高融点金属からなる第1のゲート電極11が設けられている。この第1のゲート電極11は、図8のようにゲートラインGLと一体で例えば左右に複数本並行に延在されている。また図9の第1のゲート電極11の右隣には、第1のゲート電極11と同一工程で作られた保持容量電極2が形成されている。この保持容量電極2は、図8の様に容量を構成するため、第1のTFT1と第2のTFT4の間で、拡大された部分を有し、これらは左右に延在された保持容量ラインCLと一緒に構成されている。

【0008】 続いて、ゲート絶縁膜7を介して多結晶シリコン(p-Siと称する。)膜からなる第1の能動層12が形成されている。この能動層12は、LDD(Lightly Doped Drain)構造が採用されている。即ち、ゲートの両側に低濃度領域が設けられ、更に外側には、高濃度のソース領域及びドレン領域が設けられている。前記能動層12の上には、ストップ絶縁膜13が設けられている。このストップ絶縁膜13は、能動層12へのイオン注入阻止膜であり、ここではSi酸化膜から成る。

【0009】 そして、ゲート絶縁膜7、能動層12及びストップ絶縁膜13上には、例えば、順にSiO₂膜、Si₃N₄膜及びSi₃O₄膜が積層された層間絶縁膜14が設けられ、ドレンに設けたコンタクトホールC1を介してドレン電極と成るドレンラインDLが電気的に接続されている。更に全面には、表面の凹凸を平坦にするため、例えば有機樹脂から成る平坦化膜PLNが形成されている。EL表示装置は、電流駆動なので、EL層が均一な膜厚でなければならない。膜厚が薄い部分で電流集中が発生するからである。従って少なくともこの形

成領域は、かなりの平坦性が要求されるため、前記平坦化膜P L Nが採用される。

【0010】次に、有機EL素子を駆動する第2のTFT4について図8と図10を参照して説明する。

【0011】前述した絶縁性基板10上には、前記第1のゲート11と同一材料の第2のゲート電極15が設けられており、ゲート絶縁膜7を介して第2の能動層16が設けられている。前述と同様に能動層の上にはストップ絶縁膜17が設けられている。

【0012】前記能動層16には、ゲート電極15上方に真性又は実質的に真性であるチャネルと、このチャネルの両側に、p型不純物のソース領域及びドレイン領域が設けられp型チャネルTFTを構成している。

【0013】そして全面には、前述した層間絶縁膜14が形成されている。そしてコンタクトホールC2を介して駆動ラインVLが電気的に接続されている。更に全面には、前述した平坦化膜P L Nが形成され、コンタクトホールC3によりソースが露出されている。そしてこのコンタクトホールを介してITO(Indium Thin Oxide)から成る透明電極(有機EL素子の陽極)6が形成されている。

【0014】有機EL素子20は、前記陽極6、MTD ATA(4,4-bis(3-methylphenylphenylamino)biphenyl)から成る第1ホール輸送層21、及びTPD(4,4,4-tris(3-methylphenylphenylamino)triphenylamine)からなる第2ホール輸送層22、キナクリドン(Quinacridone)誘導体を含むBebq2(10-ベンゾ[h]キノリノールーベリリウム錯体)から成る発光層23及びBebq2から成る電子輸送層24からなる発光素子層E M、マグネシウム・インジウム合金から成る陰極25がこの順番で積層形成された構造であり、有機EL素子の実質全面に設けられている。

【0015】有機EL素子の発光原理および動作は、陽極6から注入されたホールと、陰極25から注入された電子とが発光層EMの内部で再結合し、発光層EMを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0016】このように、第1のTFT1のソースSから供給された電荷が保持容量8に蓄積され、第2のTFT4のゲート15に印加され、その電圧に応じて有機EL素子を電流駆動し、発光する。

【0017】

【発明が解決しようとする課題】ところが、図10に示すように有機EL素子を駆動するための陰極25は、表示画素領域の全面に形成され、透明基板10の一端に配置された端子と電気的に接続されていた。

【0018】特に陰極25は、外部よりDCまたはACの電位が与えられ、陽極6と陰極25の間に電流が流れ

る。従って陰極25や陰極と接続される配線のコンタクト抵抗、配線抵抗が大きいと、陰極に与えるバイアスが低下し、表示品位を低下させる問題があった。

【0019】

【課題を解決するための手段】本発明は、前述の課題に鑑みてなされ、第1に、上層電極は、表示画素領域の周辺で、基板の側辺に形成された端子と電気的に接続されていることで解決するものである。

【0020】第2に、上層電極は、表示画素領域の周辺で、基板の側辺に形成された端子と電気的に接続され、上層電極の下層には、酸化物から成る電極が設けられていることでんいけつするものである。

【0021】第3に、酸化物から成る電極は、EL素子の陽極と同一材料でなることで解決するものである。

【0022】第4に、端子から表示画素領域の周辺に延在された配線と、陰極と重疊する前記配線の上層に酸化物から成る導電材料が露出される第1のコンタクトが形成され、前記第1のコンタクトから露出された酸化物から成る導電材料を介して陰極と前記配線が接続されることで解決するものである。

【0023】第5に、第1のコンタクトは、陰極の四隅に少なくとも形成されることで解決するものである。

【0024】第6に、配線に沿って前記配線の上層にも酸化物から成る導電材料が形成され、この導電材料が露出される開口部を介して配線と陰極が接続されることで解決するものである。

【0025】表示画素領域の周辺より外側で前記陰極が重なる領域にコンタクトを設けると、陰極と配線との接続面積が増大するため、陰極と配線とのコンタクト抵抗が減少する。また配線は、A1を主材料とするため、表面に酸化物が生成されやすいが、陰極と配線との間に、酸化物から成る導電材料を設けることで、コンタクト抵抗の増加を抑止できるばかりか、コンタクト抵抗の低減を実現できる。

【0026】

【発明の実施の形態】本発明のEL表示装置を説明する前に、図1の点線で示す表示画素領域HGを構成する表示画素について説明する。図5は、EL表示装置の平面図で示したもので、点線で囲まれ点でハッチングした領域は、ゲート材料で形成された領域、実線で囲まれハッチングされていない部分は、P-Si層、実線で囲まれ斜め点でハッチングした部分は、透明電極材料で成る部分である。更に実線で囲まれ斜め線でハッチングされた部分が、A1を主材料とする金属材料で形成された部分である。

【0027】図6は、図5のA-A線断面図であり、図7は、図5のB-B線断面図である。なお、本実施の形態においては、第1、第2のTFT1、4とともに、ボトムゲート型のTFTを採用しており、能動層としてp-Si膜を用いている。またゲート電極11、15は、シ

シングルゲート構造である。

【0028】また図5では、ゲートラインG L、ドレインラインD Lおよび電源ライン（駆動ラインV L）で囲まれて成るものを表示画素と呼ぶ。

【0029】では、図5～図7を参照し、有機EL表示装置を具体的に説明していく。

【0030】まず、少なくとも表面が絶縁性を有する透明基板10がある。本実施の形態では、EL素子を水分から保護するため、メタルキャップ（カン）C A PがEL材料を封止するように上面に設置されている。尚、メタルキャップC A Pは、図4に示され、後述する。このメタルキャップC A Pが設置されているため発光光は、前記透明基板10から取り出すため、基板10は、透明である必要があるが、発光光を上方から取り出す場合は、透明である必要はない。ここでは、ガラスや合成樹脂などから成る透明基板10を採用している。

【0031】この透明基板10の上には、図5の一表示画素の上側辺に沿って、左右にゲートラインG Lが設けられている。また保持容量8の下層電極として作用する保持容量電極2が設けられると共に、この保持容量電極2をお互いにつなぐため、保持容量ラインC Lが左右に延在されている。これら両ラインG L、C Lは、同層となるため、点でハッチングしてある。また材料としては、上層にP-Siを採用する理由からCrやTa等の高融点金属が採用される。ここでは、約1000～2000ÅのCrがスパッタリングにて形成されている。またパターニングの際は、ステップカバレージが考慮され、側辺はテーパー形状に加工されている。

【0032】統いて、全面にはゲート絶縁膜7と半導体層が積層されて形成されている。ここでは、前記ゲート絶縁膜7、第1の能動層12、第2の能動層16および保持容量8の上層電極である容量電極3の材料であるa-Siも含めてプラズマCVDで形成されている。具体的には、下層より約500ÅのSi窒化膜、約1300ÅのSi酸化膜および約500Åのa-Siが連続プラズマCVDで形成される。

【0033】このa-Siは、約400度の窒素雰囲気中で脱水素アニールが行われ、その後、エキシマレーザによりP-Si化される。また符号13、17は、Si酸化膜から成るストッパ絶縁膜であり、能動層12、16のイオン注入時のマスクとなる。第1のTFT1は、第1のストッパ絶縁膜13をマスクにしてP（リン）イオンが注入され、Nチャンネル型のソース、ドレインが形成され、第2のTFT4は、第2のストッパ絶縁膜17をマスクにしてB（ボロン）イオンが注入されてPチャンネル型のソース、ドレインが形成されている。

【0034】また図5のように、ホトリソグラフィ技術によりP-Si層がパターニングされている。つまり第1のTFT1のP-Si層は、ゲートラインG LとドレンラインD Lの左上交差部の下方で、ドレンライン

D Lと重疊し、ゲート電極11の上層を延在した後、保持容量電極2と重疊する容量電極3として延在されている。またこの容量電極3は、第2のTFT4のゲート電極15と電気的に接続するために用いられる接続配線30の右端下層に延在される。一方、第2のTFT4のP-Si層は、右側の駆動ラインV Lの下層から第2のゲート電極15の上層を延在し、透明電極から成る陽極6の下層に延在している。

【0035】そして全面には、層間絶縁膜14が形成されている。この層間絶縁膜14は、下から約1000ÅのSi酸化膜、約3000ÅのSi窒化膜、1000ÅのSi酸化膜の三層構造が連続CVDで形成されている。この層間絶縁膜は、少なくとも一層有れば良い。膜厚もこれに限らない。

【0036】次に、層間絶縁膜14の上層には、図5の斜め線でハッチングしたドレンラインD L、駆動ラインV Lおよび接続配線30が形成される。当然コンタクトが形成され、ドレンラインD Lと第1のTFT1の半導体層12とのコンタクト孔C1、駆動ラインV Lと第2のTFT4の半導体層16とのコンタクト孔C2、接続配線30と容量電極3とのコンタクト孔C4は、それぞれの半導体層が露出されている。また接続配線30と第2のゲート電極15のコンタクト孔C5は、前述のコンタクト孔とは異なり、ゲート絶縁膜が余分に積層されているため、更にエッチングされCrが露出されている。このライン材料は、下層に1000ÅのMo、上層に7000ÅのAl、更にその上にMoが積層された構造であり、Moは、バリア層である。尚コンタクト孔C3は、後述する。

【0037】更に約2～3μmの平坦化膜PLN1が全面に形成されている。この平坦化膜PLN1は、後述する平坦化膜PLN2の採用と一緒に表面を平坦にする。その理由は、従来例でも述べた有機EL用の膜にある。この膜は、第1のホール輸送層21、第2ホール輸送層22、発光層23及び電子輸送層24から成る。またホール輸送層は、一層から構成されても良い。従って、有機層が非常に薄い膜の積層体である。またEL素子は、電流駆動であるため、これらの膜厚が極めて均一に形成されないと、膜厚の薄い部分を介して電流が大量に流れ、その部分にひときわ輝く輝点が発生すると同時に、このポイントは、有機膜の劣化を発生し、最悪の場合破壊に至る。従って、この破壊を防止するには、陽極6を含む全面ができるだけ平坦である必要がある。従って、例えばアクリル系の液状樹脂が塗布され、流動性を有することから、平坦にされてから硬化される。もちろんこの平坦化膜PLNの材料は、これに限らない事は言うまでもない。

【0038】ここでは、陽極6と第2のTFT4のソースが接続されるため、平坦化膜PLN1および層間絶縁膜14が開口され、第2の能動層16が露出されたコン

タクト孔C3が形成されている。

【0039】更陽極6が形成された上には、更に平坦化膜PLN2が形成される。そして陽極6に対応する平坦化膜PLN2が取り除かれ、その上にはEL素子を構成する有機膜が形成されている。まず陽極6の上には、MTDATA(4,4-bis(3-methylphenylphenylamino)biphenyl)から成る第1ホール輸送層21、及びTPD

(4,4,4-tris(3-methylphenylphenylamino)triphenylamine)からなる第2ホール輸送層22、キナクリドン(quinacridone)誘導体を含むBebq2(10-ベンゾ

[h]キノリノールベリリウム錯体)から成る発光層23及びBebq2から成る電子輸送層24からなる発光素子層EM、マグネシウム・銀(Ag)合金、AlとLiの合金またはAl/LiF等から成る陰極25が積層形成された構造である。有機層の膜厚は、前述してあるのでそれを参照。また、陰極25はAl/LiFの合金を採用し、その膜厚は1000~2000Åである。

【0040】ここで陽極6は、画素毎にパターニングされる必要があるが、陽極6の上の膜は、構造により区別される。

①：陽極6から陰極25まで画素毎にパターニングされる第1の構造

②：①に於いて、陰極25は、パターニングされず、実質的に表示領域全域にベタで形成される第2の構造。

③：陽極6だけが図1の様に画素毎にパターニングされ、陽極の上層から陰極までは、表示領域全域に励精された前記ベタ構造の第3の構造。

【0041】ただし、陰極6は、わざわざパターニングすることもない一般には全面ベタ構造を採用している。

【0042】更に、表示領域のEL層、または全てのEL層をカバーするメタルキャップが形成されている。EL層は、水を吸湿すると劣化し、水の浸入に対して保護が必要となるからである。従ってEL層を劣化させず、耐湿性の高い膜、例えば樹脂膜でキャップの代用としても良いし、更にこの上にメタルキャップCANを形成しても良い。

【0043】有機EL素子の発光原理および動作は、陽極6から注入されたホールと、陰極25から注入された電子とが発光層EMの内部で再結合し、発光層EMを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0044】統いて図1から図4を参考して表示画素領域HGの周辺も含めて説明する。まず図4に於いて、一番外側の実線は、透明基板10である。点線で示す矩形領域は、表示画素領域HG、一点差線で示す矩形領域は、第1ホール輸送層21、第2ホール輸送層22、発光素子層EMが形成される有機膜領域ORである。また

表示画素領域HGに縦方向に形成された太い実線は、駆動ラインVLであり、有機膜領域ORの外側に示す矩形の太い実線は、陰極25である。また一番外側の二本の太い実線で囲まれ、点でハッキングされている領域は、下図に示すメタルキャップ(カン)CAPのシール領域CLLであり、このシール領域CLLの外側と内側に点線で示す領域は、第1の平坦化膜PLN1、第2の平坦化膜PLN2が被覆された領域である。またメタルキャップ(カン)CAPから露出しているのは、端子TNと配線HSである。また陰極25周辺とシール領域CLLとの間には、左右にゲートラインGLと接続される垂直駆動回路(VERTICAL DRIVER)VDが形成され、上側辺にはドレインラインDLと接続される水平駆動回路(HORIZONTAL DRIVER)HDが形成されている。これら駆動回路VD、HDは、EL素子を構成する薄膜トランジスタの形成と同時に作り込まれた薄膜トランジスタ等から構成される。そして左右の垂直駆動回路VDは、4本の配線で接続されている。

【0045】TN1は、駆動電源入力端子であり、駆動ラインVLに電圧を与えるための端子であり、この二本の端子TN1は、上方に延びた第1の配線HS1と電気的に接続され、この第1の配線HS1が一体となって形成された第1の幅広部WD1、第2の幅広部WD2を介して駆動ラインVLとして延在されている。ここで配線は、駆動ラインVLやドレインラインDLと同一材料で成る。

【0046】またTN2は、カソード端子であり、この三本の端子TN2は、上方に延びた第2の配線HS2と電気的に接続され、この第2の配線HS2が一体となって形成された第3の幅広部WD3を介して陰極25の第4の幅広部WD4と接続されている。

【0047】またTN3は、第3の配線HS3を介して左右の垂直駆動回路VDをつなぐ4本の配線の内、上2本と接続される端子であり、TN4は、第4の配線HS4を介して前記4本の配線の内、下2本と接続される端子である。ここで左右の垂直駆動回路VDをつなぐ4本の配線は、第1の幅広部WD1と交差するため、点線の部分で、下層に形成された配線を使い交差を回避している。ここで下層の配線は、ゲートが形成された層に形成され、材料は、ゲートと同一材料で成る。

【0048】陰極25は、×印で示したように、第2の配線HS2の第3の幅広部WD3に設けられたコンタクトCN1を介してカソード端子TN2と接続されている。

【0049】カソードコンタクトCN1の幅は、カソード端子TN2の配置された本数分の幅に設定できる。また第2の配線HS2から延在される第3の幅広部WD3、陰極25からコンタクトCN1へ延在される第4の幅広部WD4も、実質カソード端子TN2の本数分の幅に設定できる。

【0050】従ってカソードコンタクトCN1から陰極25へつなげる第4の幅広部WD4、カソードコンタクトCN1からカソード端子TN2へつなげる第3の幅広部WD3の幅が広く設定できることにより、配線抵抗を低下させることができる。しかも、カソードコンタクトCN1の横幅もカソード端子TN2の本数分だけ実質的に幅広に形成でき、コンタクト抵抗の減少も可能となる。ここでカソード端子TN2を3本で示したが、少なくとも2本配置されれば、その幅を拡大でき、コンタクト抵抗の減少を実現できる。

【0051】また図2は、A-A線に沿ったカソードコンタクトCN1の断面図である。矢印は、主たる配置領域を三つ示し、右からカソード端子TN2が形成されている領域を示す端子部、第2の配線HS2が形成される領域を示す配線部、更には、コンタクト孔CN1が形成されている領域を示すコンタクト部に分かれている。

【0052】端子は、三層に分かれ、下層は、ゲートやゲートラインと同一材料で、真ん中の層は、ドレインラインDLや駆動ラインVLと同一材料で、更に上層は、陽極6、つまり透明電極を構成するITOと同一材料で構成されている。

【0053】またコンタクト孔CN1は、少なくとも第3の幅広部WD3に於いて、配線の上に酸化物から成る導電材料が形成され、この導電材料を介して陰極25と接続されている。この酸化物から成る導電材料は、酸化物で構成されるため、酸化雰囲気内で酸化膜が形成されることがない。例えば、第1の平坦化膜PLN1、第2の平坦化膜PLN2は、硬化の際に熱が加わるため、コンタクト孔CN1に形成される配線は、酸化雰囲気にさらされ、またコンタクト孔CN1を開口する際に、酸化雰囲気にさらされる。しかし露出する部分は、酸化されやすいA1ではなく、酸化された導電膜であるため、これ以上の酸化は、進まない。ここで酸化物で構成される材料の一例としては、ITOがかかけられる。

【0054】実験によれば、配線として上層と下層にMoが形成され、中央にAlをはさんだ約8000Åの導電膜、約2000ÅのAl/LiFの合金から成る陰極、そして間に850ÅのITOを採用すると、ITOを採用しない場合に比べ、そのコンタクト抵抗は約10%も低下した。

【0055】またコンタクト部の第3の幅広部WD3の下層には、端子部に形成されたゲート材料で成る電極を設けても良い。また端子部において、ゲート材料で成る一番下層の電極を省略しても良い。

【0056】統いて、図1を参照して更なるコンタクト抵抗の低減を実現した構造を説明する。構造は、図4と実質同一であるため、ここでは、異なる部分のみを説明する。

【0057】つまり、一点鎖線で示す有機膜領域OR(または表示画素領域HG)の外側で、陰極25が重な

る重疊領域TDに形成されている第5の配線HS5、それに第2のコンタクトCN2が異なる部分である。第5の配線HS5は、第2のコンタクトCN2と接続され、表示画素領域HGの3辺に形成されている。ここでは全周を囲んでも良い。そして第3の幅広部WD3と一緒に、図4と同様に第1のコンタクトCN1を介してカソード端子TN2と接続されている。第5の配線HS5は、第1の幅広部WD1と交差し、垂直駆動回路VDをつなぐ4本の配線も第1の幅広部WD1および第3の幅広部WD3と交差するため、点線で示す部分でクロスオーバー構造を採用している。点線の部分で、一端ゲートが形成されている層にゲート材料で構成された配線と接続され、交差部が終わった所でまた上層に戻っている。

【0058】本発明のポイントは、このコンタクトCN2と第5の配線HS5にある。

【0059】コンタクトCN2は、この重疊領域TDに少なくとも一つ形成されている。本実施の形態では、四隅に各一個形成されている。そしてこのコンタクトCN2を介して第5の配線HS5と陰極25が接続される。

【0060】第5の配線HS5は、第2の配線HS2と一緒に成るため、陰極25とカソード端子TN2は、電気的に接続された構造となる。

【0061】前述したように、陰極25と第5の配線HS5との間に、酸化物から成る導電材料100を挿入しているので、下層に形成されたドレインラインDLまたは駆動ラインVLと同一材料で成る第5の配線HS5

(101)の酸化を防止し、且つ酸化物から成る導電材料より成る電極100の酸化も防止でき、コンタクト抵抗の減少を実現できる構成となっている。また第5の配線HS5は、ドレインラインDLまたは駆動ラインVLと同一材料で成るAlで構成されるが、図3で示した積層構造の様に下層にゲート材料で成る電極102を設けても良いし、第5の配線HS5に沿って配線として設けても良い。ただしこの場合、第5の配線HS5とゲート材料で成る配線は、接合されている。

【0062】ここで、図1では、コンタクトCN2の部分だけ、第2の平坦化膜PLN2から酸化物で成る導電材料100を露出させているが、第5の配線HS5に沿って、その上層に前記導電材料100を積層し、この第5の配線HS5に沿って、導電材料100が露出されるよう第2の平坦化膜PLN2を取り除き、この取り除いた部分を介して陰極と接続しても良い。これにより更なるコンタクト抵抗の低減を実現できる。

【0063】以上、ボトムゲート型構造で説明してきたが、本発明は、トップゲート型構造でも採用でき、第2の実施の形態として以下に説明する。

【0064】トップゲート型構造の平面パターンは、ボトムゲート型構造と実質同じであるので図5を代用する。また図5のA-A線に対応する断面図を図11に、B-B線に対応する断面図を図12に示した。これよりトップゲート型の図面は、符号の下二桁を前実施の形態と同じ数字にしている。

【0065】簡単に説明すれば、全面には絶縁層ILが形成される。この絶縁層ILは、下層に500ÅのSi窒化膜、上層に1000ÅのSi酸化膜が積層されたものである。尚、Si窒化膜は、ガラスから溶出する不純物のストッパとして働く。

【0066】続いて、第1のTFT101の能動層112、この能動層112が延在されて成る保持容量8の下層電極、第2のTFT104の第2の能動層116の形成部分に半導体層(P-Siまたはa-Si)が形成されている。

【0067】更には、全面にゲート絶縁膜107が積層され、この上にゲート電極111、ゲート電極111と一体のゲートラインGLが形成されると同時に、保持容量108の上層電極が前記ゲート電極と同一材料で同層に形成されている。この保持容量108の上層電極は、図1の保持容量電極2に相当し、保持容量ラインCLも含めて一体で左右に延在して形成される。ここでゲート電極材料は、前述した高融点金属材料の他にAlを主成分とした材料を用いても良い。Alが使用できる理由として、層間絶縁膜114がプラズマCVD等で低温成膜できるからである。

【0068】また能動層である半導体層は、前記ゲート電極材料で形成されたパターンをマスクとして不純物が注入される。もちろんPチャンネルとNチャンネルのTFTがあるため、一方はレジストにてマスクされる(これはボトムゲート型構造でも同様である)。そして不純物が注入された後に半導体層がパターニングされる。また保持容量電極102の下層の半導体層は、不純物が注入されない。しかしここに前記第1のゲート電極111に加わる電圧、あるいはそれ以上の電圧を加え、半導体層にチャンネルを発生させることで電極として活用している。

【0069】更に層間絶縁膜114が形成された後、ドレインラインDL、駆動ラインVLが形成され、その上に第1の平坦化膜PLN1が形成された後に陽極106として透明電極が形成される。この陽極106と第2のTFT104とのコンタクトC3は、駆動ラインVLと同層にソース電極SEが形成される。またダイレクトにコンタクトしても良い。また陽極106が形成された後、第1の平坦化膜PLN1と陽極106の凹凸をなだらかにするため、第2の平坦化膜PLN2が形成され、

この陽極106に対応する第2の平坦化膜PLN2が取り除かれている。

【0070】またEL素子20は、前実施の形態と同様なので説明は省略する。ここでも、ゲート111、115の上層にドレインラインと同一材料で成る層、更に透明電極材料で成る層の三層構造で成るため、コンタクトCN1、CN2は、図2、図3と同一構造の積層構造が可能となる。配線HSも同様である。

【0071】上述の実施の形態においては、半導体膜としてp-Si膜を用いたが、微結晶シリコン膜又は非晶質シリコン膜等の半導体膜を用いても良い。またシングルゲート型で説明したがダブルゲート型TFTでも良い。

【0072】更に、上述の実施の形態においては、有機EL表示装置について説明したが、本発明はそれに限定されるものではなく、発光層が無機材料から成る無機EL表示装置にも適用が可能であり、同様の効果が得られる。

【0073】

【発明の効果】以上の説明からも明らかのように、陰極と重なる重疊領域TDに第5の配線を延在し、この第5の配線の任意の場所に第2のコンタクトを設け、第2のコンタクトを介して第5の配線と陰極を接続してあるため、陰極との接合面積が増大し、コンタクト抵抗が減少できる。

【0074】また配線は、Alを主材料とするため、表面に酸化物が生成されやすいが、このAlを主材料とする第5の配線の上には、酸化物から成る導電材料が形成されるため、更なるコンタクト抵抗の低減を実現できる。

【0075】従って、陰極に印加されるバイアスの降下を防止でき、本来供給されるべき電流を各表示画素のEL素子に供給することができ、表示品位を向上したEL表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明のEL表示装置を説明する図である。

【図2】図1のA-A線の断面図である。

【図3】図1のコンタクトCN2を説明する図である。

【図4】本発明のEL表示装置を説明する図である。

【図5】本発明のEL表示装置の表示画素を説明する平面図である。

【図6】図5のA-A線の断面図である。

【図7】図5のB-B線の断面図である。

【図8】従来のEL表示装置を説明する平面図である。

【図9】図8のA-A線の断面図である。

【図10】図8のB-B線の断面図である。

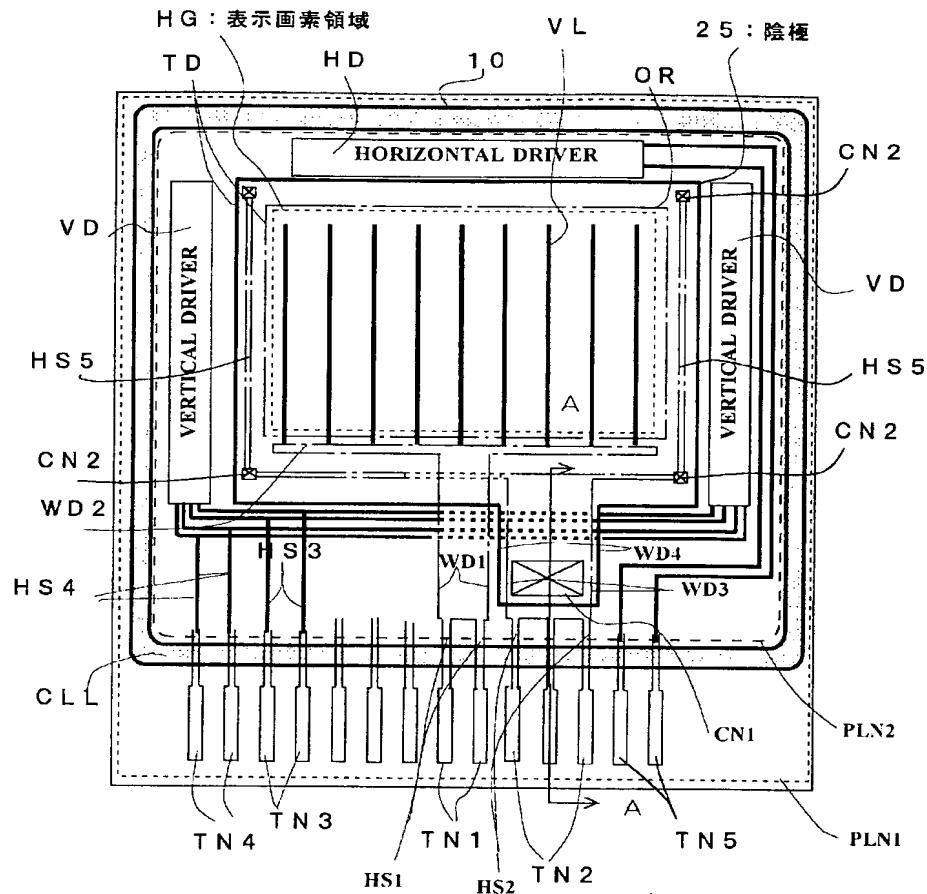
【図11】図5のA-A線に相当するトップゲート型TFTを採用したEL表示装置の断面図である。

【図12】図5のB-B線に相当するトップゲート型TFTを採用したEL表示装置の断面図である。

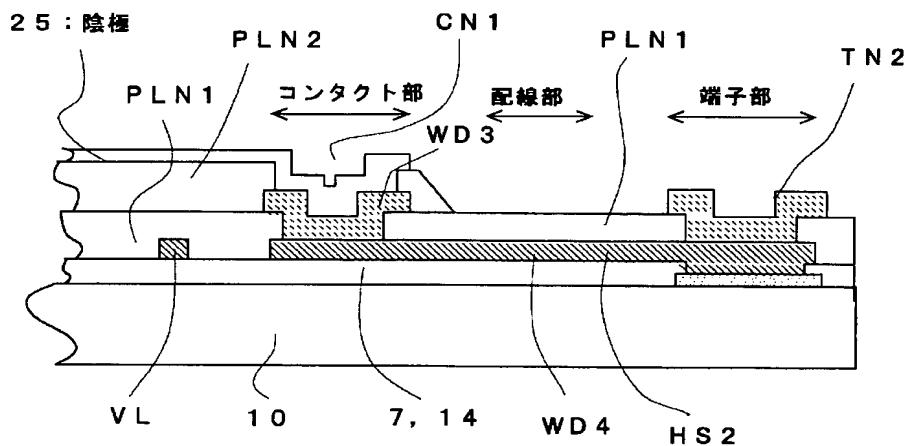
【符号の説明】

1	第1のTFT	20	EL素子
2	保持容量電極	GL	ゲートライン
3	容量電極	DL	ドレインライン
4	第2のTFT	CL	保持容量ライン
6	陽極	VL	駆動ラインVL
8	保持容量	CN1	コンタクト
14	層間絶縁膜	CN2	コンタクト
		TN1~TN5	端子

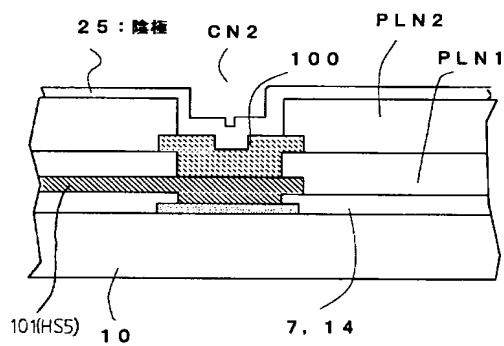
【図1】



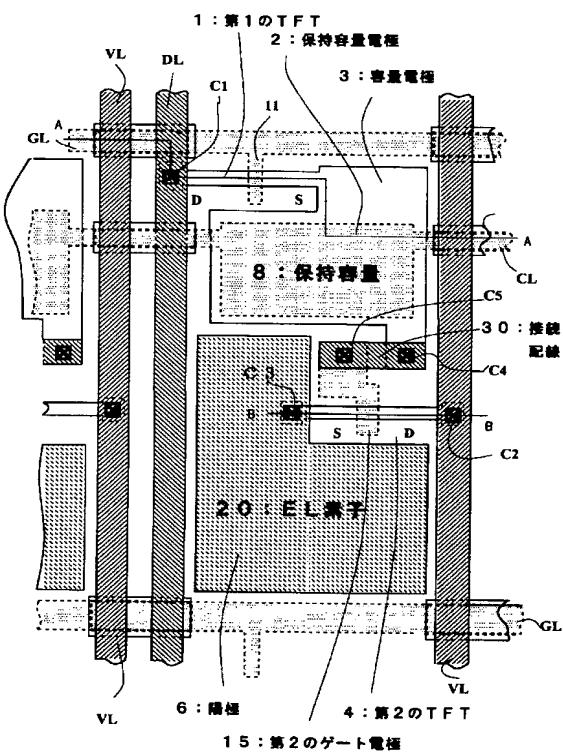
【図2】



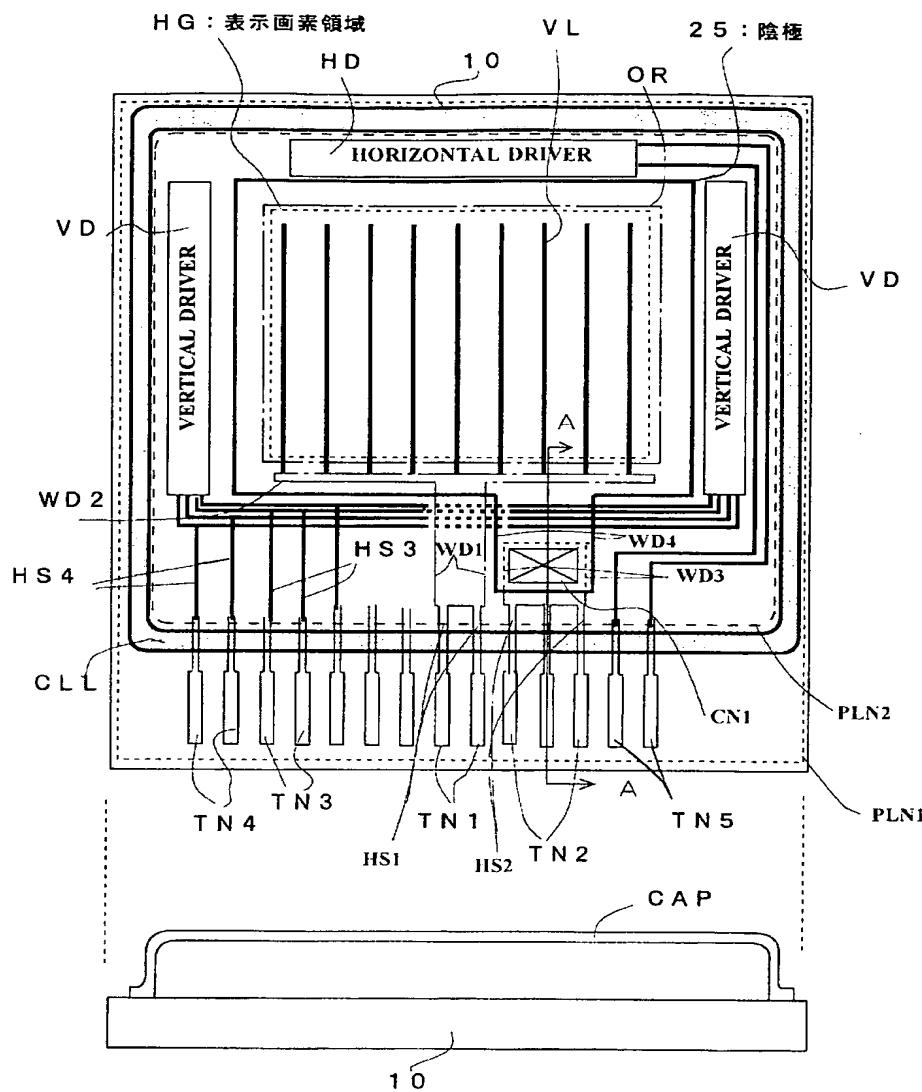
【図3】



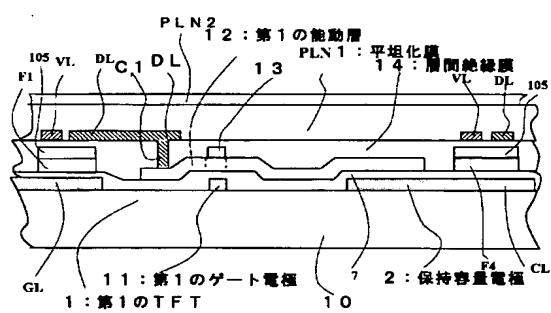
【図5】



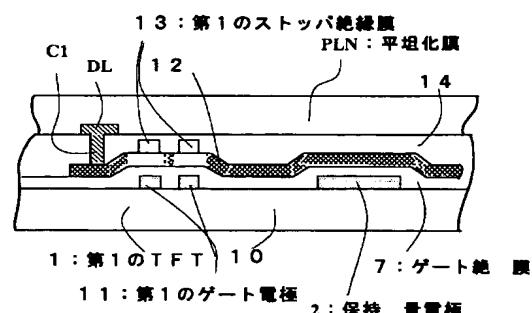
【図4】



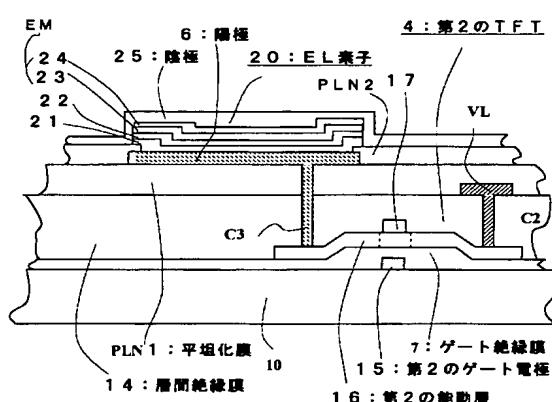
【図6】



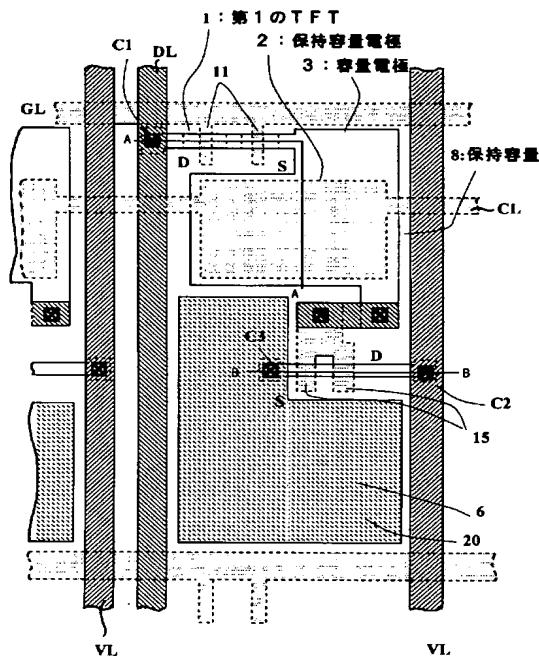
【図9】



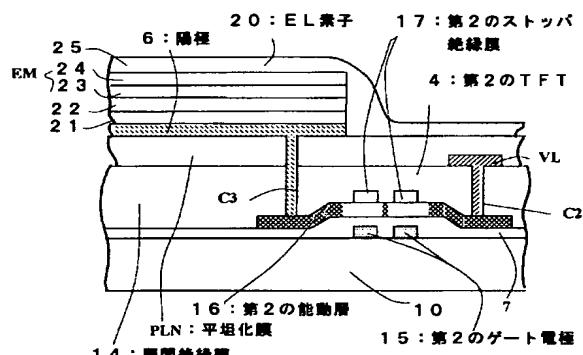
【図7】



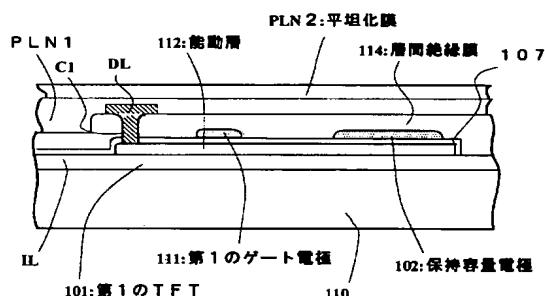
【図8】



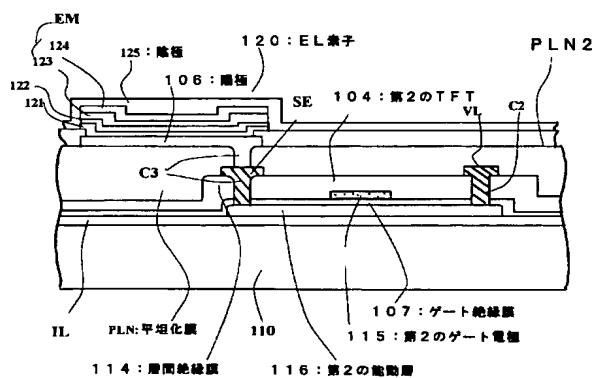
【図10】



【図11】



【図12】



フロントページの続き

F ターム(参考) 3K007 AB05 AB13 CC05 DA00 DB03
EB00
5C094 AA02 AA21 BA27 CA19 DA07
DA09 EA05 EB02 HA08
5F110 AA03 AA30 BB01 BB02 CC02
CC08 DD01 DD02 DD13 DD14
DD17 EE03 EE04 EE23 EE36
EE44 FF02 FF03 FF09 FF30
GG02 GG13 GG14 GG15 GG45
HJ01 HJ13 HL03 HL04 HL12
NN02 NN03 NN04 NN23 NN24
NN35 PP03 PP10 PP35 QQ09
QQ11 QQ19